

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172342
 (43)Date of publication of application : 02.07.1996

(51)Int.Cl. H03H 17/02
 H03H 17/06

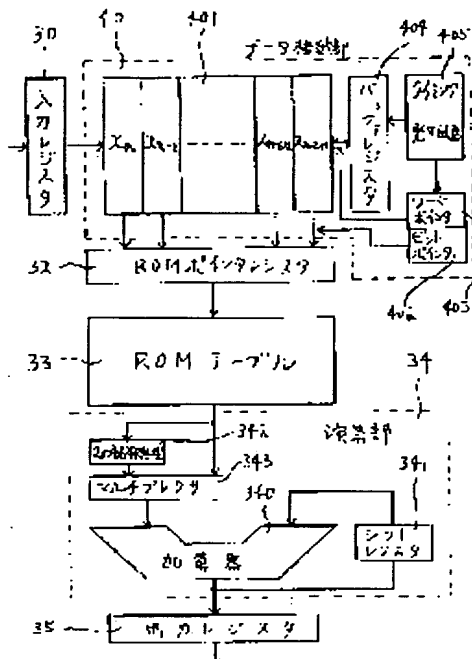
(21)Application number : 06-313552 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 16.12.1994 (72)Inventor : KON YOSHIHIKO

(54) DIGITAL FILTER

(57)Abstract:

PURPOSE: To reduce chip size for LSI while executing operation similar to conventional operation by a data storing part in a digital filter using a ROM table.

CONSTITUTION: A data storing part for storing the data of i words consisting of j -bit data successively inputted to an input register 30 is constituted of a static RAM 40 to be accessed from both of bit direction and word direction, i -bit data successively read out from the RAM 40 are supplied as an address to a table storing part 33 previously storing the sum total of filter coefficients (k) and the sum total successively read out from the storing part 33 is added by an adder 340 while weighting it to obtain a digital filter output. The digital filter is provided with a memory part for (j bits \times i words), a bit pointer for specifying an address in the bit direction, a word pointer for specifying an address in the word direction, and a buffer register for temporarily storing j -bit data specified by the word pointer.



LEGAL STATUS

[Date of request for examination] 09.03.1998
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

This Page Blank (uspto)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172342

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl.⁹

H 0 3 H 17/02

17/06

識別記号

庁内整理番号

K 8842-5 J

L 8842-5 J

Z 8842-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全 13 頁)

(21)出願番号 特願平6-313552

(22)出願日 平成6年(1994)12月16日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 今 義彦

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

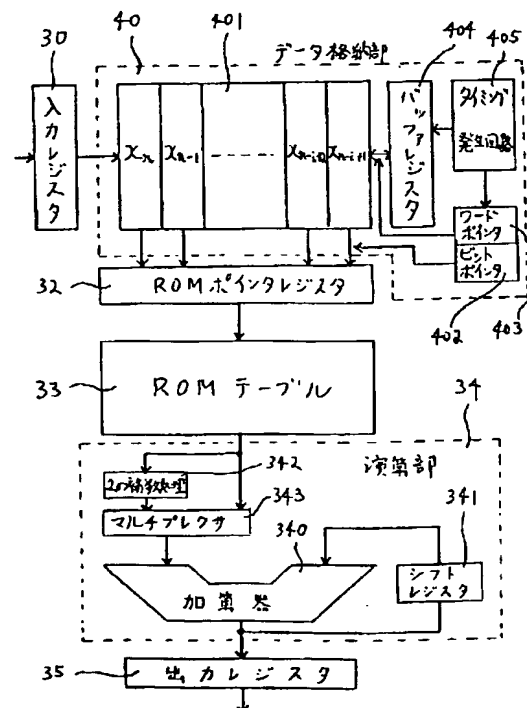
(74)代理人 弁理士 岡田 敬

(54)【発明の名称】 デジタルフィルタ

(57)【要約】

【目的】 ROMテーブルを用いるデジタルフィルタにおいて、データ格納部で従来と同様の動作を行いながら、LSI化した際のチップサイズを小型化する。

【構成】 入力レジスタ30に順次入力されるjビットのデータをiワード分格納するデータ格納部を、ビット方向とワード方向の双方からアクセス可能なスタティックRAMで構成し、ここから順次読み出されるiビットのデータを、フィルタ係数kの総和を予め記憶したテーブル記憶部にアドレスとして供給し、このテーブル記憶部から順次読み出される総和を加算器で重み付けしながら加算することにより、デジタルフィルタ出力を得る。そして、デジタルフィルタには、jビット×iワードのメモリ部分と、ビット方向のアドレスを指定するビットポインタと、ワード方向のアドレスを指定するワードポインタと、ワードポインタにより指定されたjビットのデータを一旦保持するバッファレジスタを設ける。



1

【特許請求の範囲】

【請求項 1】 j ビットのデータを入力する入力レジスタと、該入力レジスタに順次入力される j ビット単位のデータを i ワード分格納するデータ格納部と、フィルタ係数の総和を予め記憶したテーブル記憶部と、前記データ格納部から i ビット毎に順次読み出されるデータを入力し、出力によって前記テーブル記憶手段のアドレスを指定するポインタレジスタと、前記テーブル記憶部から順次読み出される総和を重み付けしながら加算する加算器とを備え、前記データ格納部をビット方向とワード方向の双方からアクセス可能なスタティック RAM 回路で構成したことを特徴とするデジタルフィルタ。

【請求項 2】 請求項 1 記載のデジタルフィルタにおいて、前記スタティック RAM 回路は、 j ビット $\times i$ ワードのメモリ部分と、ビット方向のアドレスを指定するビットポインタと、ワード方向のアドレスを指定するワードポインタとを有することを特徴とするデジタルフィルタ。

【請求項 3】 請求項 2 記載のデジタルフィルタにおいて、前記スタティック RAM 回路は、更に、前記ワードポインタにより指定された j ビットのデータを一旦保持するバッファレジスタを有することを特徴とするデジタルフィルタ。

【請求項 4】 請求項 3 記載のデジタルフィルタにおいて、前記スタティック RAM 回路は、前記入力レジスタへデータがセットされたことに応答して、前記ワードポインタを 0 に設定して前記入力レジスタにセットされた j ビットのデータをワードアドレス 0 に書き込み、次

$$X_n = -2^{15} X_{15,n} + 2^{14} X_{14,n} + \dots + 2^0 X_{0,n}$$

⋮

2

に、前記ビットポインタを 0 から $j-1$ まで順にインクリメントすることによって、ビットアドレス 0 から $j-1$ までの i ビット単位のデータを順次読み出し、読み出し後、前記ワードポインタを $i-2$ に設定し、続いて、ワードアドレスで示される j ビット単位のデータを前記バッファレジスタに一旦格納し、格納後、前記ワードポインタをインクリメントして一旦格納したデータを、読み出しアドレスの次のワードアドレスに書き込む一連のシフト処理を、ワードアドレス $i-2$ から 0 に対して順次実行することを特徴とするデジタルフィルタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、乗算器を利用しないで、ROM 等で構成されたフィルタ係数の総和テーブルを用いたデジタルフィルタに関する。

【0002】

【従来の技術】 デジタルフィルタの代表的な例である FIR フィルタは、一般的に、図 8 に示すように構成されている。図 8 は、13 次の FIR フィルタを示し、入力データ X_n を 1 サンプル期間順次遅延する遅延素子 1~12 と、各データを加算する加算器 13~18 と、加算結果に係数 k_m を乗算する乗算器 19~25 と、乗算結果を加算する加算器 26 とより構成される。

【0003】 ここで、データ X を 2 の補数で表現すると、式 (1) で表され、

【0004】

【数 1】

式 (1)

$$X_{n-12} = -2^{15} X_{15,n-12} + 2^{14} X_{14,n-12} + \dots + 2^0 X_{0,n-12}$$

【0005】 フィルタ係数を、 k_m ($m=0\sim6$): 16 ビットの係数とすると、出力 Y_n は式 (2) のように表される。

【0006】

【数 2】

$$\begin{aligned}
 Y_n = & -2^{15} \{ k_0 (X_{15}^n + X_{15}^{n-15}) + k_1 (X_{15}^{n-1} + X_{15}^{n-16}) \\
 & + \dots + k_6 X_{15}^{n-6} \} \\
 & + 2^{14} \{ k_0 (X_{14}^n + X_{14}^{n-14}) + k_1 (X_{14}^{n-1} + X_{14}^{n-15}) \\
 & + \dots + k_6 X_{14}^{n-6} \} \\
 & \vdots \\
 & + 2^0 \{ k_0 (X_0^n + X_0^{n-12}) + k_1 (X_0^{n-1} + X_0^{n-11}) \\
 & + \dots + k_6 X_0^{n-6} \}
 \end{aligned}$$

式(2)

【0007】ここで、以下の式(3)に示す小括弧内の値は、

$$(X_i^n + X_i^{n-12}), (X_i^{n-1} + X_i^{n-11}), \dots, X_i^{n-6}$$

【0008】

【数3】

式(3)

但し、 $i = 1 \sim 15$

【0009】1ビット加算結果であって、その値は0もしくは1なので、Xの値に応じた k_m の総和を予めROM等にテーブルとして記憶しておけば、Xをアドレスとすることにより式(2)における中括弧内の値は、この総和テーブルから読み出すことができ、従って、乗算器を用いずにFIR出力 Y_n を求めることができる。次に、このようなROMテーブルを用いたデジタルフィルタの従来構成を、図7に基づき説明する。

【0010】入力されるjビットのデータは、まず入力レジスタ30に入力され、このレジスタを介してデータ格納部31に格納される。データ格納部31は、jビットのデータを次数iに相当するiワード分格納するもので、通常、jビットのシフトレジスタをi本用いて構成される。i本のシフトレジスタ301、302、303、……は、シリアルに接続されると共に、各シフトレジスタのLSBもしくはMSBが次段のROMポインタレジスタ32の入力に接続されている。そして、1サンプリング期間内に1ビットずつシフトしながら、ROMポインタレジスタ32の内容を更新するようにしている。このROMポインタアドレス32は、上述した係数 k_m の総和をテーブルの形で記憶したROMテーブル33をアドレス指定するものであり、その結果、ROMテーブル33からは、データXに応じた係数の総和、即ち、式(2)における中括弧内の値が読み出される。

【0011】順次読み出される総和は、加算器340を含む演算部34で、式(2)に示す重み付けがなされながら順次加算されていき、出力 Y_n が出力レジスタ35に得られる。

【0012】

【発明が解決しようとする課題】従来の構成においては、データ格納部としてシフトレジスタを用いており、このシフトレジスタを構成する要素としては通常ラッチが用いられるが、シフトレジスタは1サンプリング期間に1度使用されることになるので、スタティックタイプが好ましい。しかしながら、スタティックタイプのラッチは、LSI化した場合、占有面積が非常に大きくなるため、チップサイズの大型化につながってしまう。

【0013】そこで、ダイナミックタイプのラッチを用いることが考えられるが、シフトサイクルが長い場合や、一時的にシフトをストップする場合に、チャージが抜けて誤動作することがあり、と言って、リフレッシュ回路を設けると制御が複雑になるという問題がある。

【0014】

【課題を解決するための手段】本発明は、jビットのデータを入力する入力レジスタと、該入力レジスタに順次入力されるjビット単位のデータをiワード分格納するデータ格納部と、フィルタ係数の総和を予め記憶したテーブル記憶部と、前記データ格納部からiビット毎に順次読み出されるデータを入力し、出力によって前記テーブル記憶手段のアドレスを指定するポインタレジスタと、前記テーブル記憶部から順次読み出される総和を重み付けしながら加算する加算器とを備え、前記データ格納部をビット方向とワード方向の双方からアクセス可能なスタティックRAM回路で構成することにより、上記課題を解決するものである。

50 【0015】また、本発明は、前記スタティックRAM

回路が、 j ビット× i ワードのメモリ部分と、ビット方向のアドレスを指定するビットポインタと、ワード方向のアドレスを指定するワードポインタとを有することを特徴とする。また、本発明は、前記スタティック RAM 回路が、更に、前記ワードポインタにより指定された j ビットのデータを一旦保持するバッファレジスタを有することを特徴とする。

【0016】また、本発明は、前記スタティック RAM 回路が、前記入力レジスタへデータがセットされたことに
10 応答して、前記ワードポインタを 0 に設定して前記入力レジスタにセットされた j ビットのデータをワードアドレス 0 に書き込み、次に、前記ビットポインタを 0 から $j-1$ まで順にインクリメントすることによって、ビットアドレス 0 から $j-1$ までの i ビット単位のデータを順次読み出し、読み出し後、前記ワードポインタを $i-2$ に設定し、続いて、ワードアドレスで示される j ビット単位のデータを前記バッファレジスタに一旦格納し、格納後、前記ワードポインタをインクリメントして一旦格納したデータを、読み出しアドレスの次のワード
20 アドレスに書き込む一連のシフト処理を、ワードアドレス $i-2$ から 0 に対して順次実行することを特徴とする。

【0017】

【作用】本発明では、データ格納部がビット方向とワード方向の双方からアクセス可能なスタティック RAM 回路により構成されるので、スタティックラッチを用いるシフトレジスタと同様の使い方が可能になると共に、占有面積が小さくなる。また、ビットポインタのインクリメント動作により、テーブル記憶部のアドレスを指定するポインタレジスタへ順次アドレスを入力でき、バッ
30 ファレジスタ及びワードポインタを用いたワード方向のシフト処理により、 j ビット単位のワードデータのシフト動作が実現される。

【0018】

【実施例】図 1 は、本発明の実施例の構成を示すブロック図であり、図 7 と同一の構成については同一の符号を付している。ここで、特徴的な構成はデータ格納部 40
であり、このデータ格納部 40 は、ビット方向とワード方向の双方からアクセス可能なスタティック RAM 回路により構成されている。

【0019】スタティック RAM 回路は、概略的には、図 1 に示すように、 j ビット× i ワードのメモリ部分 401 と、ビット方向のアドレスを指定するビットポインタ 402 と、ワード方向のアドレスを指定するワードポインタ 403 と、ワードポインタ 403 により指定された j ビットのデータを一旦保持するバッファレジスタ 404 と、タイミング発生回路 405 より成る。

【0020】以下、図 2 を参照しながら、スタティック RAM 回路 40 の概略動作について説明する。まず、スタティック RAM 回路 40 のメモリ部分 401 は、ワー
50

ドアドレス 0 に現在のサンプリングデータが格納され、ワードアドレスが大きくなるほどより過去にサンプリングされたデータが格納されるという順序になっており、ワードアドレス $i-1$ に格納された最も古いデータは次のサンプル時に捨てられることとなる。

【0021】そこで、入力レジスタ 30 に j ビットのデータがセットされると、ビットポインタ 402 及びワードポインタ 403 が共に 0 に設定され、ワードポインタ 403 が示すワードアドレス 0 に、入力レジスタ 30 に
10 セットされた j ビットのデータが書き込まれる。つまり、ワード方向の書き込みが行われる。次に、ビットポインタ 402 が示すビットアドレス 0 から 1 ビット× i ワード、即ち i ビットのデータが ROM ポインタレジスタ 32 に読み出され、その後、ビットポインタ 402 が順次インクリメントされ、インクリメントされる毎に i ビットのデータが読み出される。つまり、ビットアドレ
20 ス 0, 1, 2, ……………, $j-1$ から、順次 i ビット単位にビットデータが読み出され、ビット方向の読み出しが実現される。

【0022】このようにして、ビット方向のデータ読み出しが終了すると、次に、ワード方向の書き込み及び読み出しによるワードデータのシフト処理が実行される。この処理は、ビット方向の読み出しが終了した後行われるため、ビットポインタ 402 が $j-1$ をカウントした後、ワードポインタ 403 に $i-2$ が設定される。

【0023】そして、ワードポインタ 403 が示すワードアドレス $i-2$ から j ビットのワードデータが読み出され、バッファレジスタ 404 に転送され、ここで一旦保持される。続いて、ワードポインタ 403 がインクリメントされ、このワードアドレス $i-1$ にバッファレジスタ 404 に保持されたワードデータが書き込まれる。その後は、ワードポインタが $i-2$ され、ワードアドレス $i-3$ に対して同様の処理を行う。つまり、あるワードアドレスのデータを読み出して一旦バッファレジスタ 404 に保持した後、読み出したワードアドレスの次のワードアドレスに保持したデータを書き込むことによ
30 て、ワードデータのシフト処理を行っているのである。このようなシフト処理を、ワードアドレス $i-1$ から 0 までの各アドレスについて実行し、全てのデータをワード方向へシフトする。この動作によって、ワードアドレスには新たなデータが入力可能となり、データの順序が保たれる。

【0024】ところで、ROM ポインタレジスタ 32 に順次 i ビットのデータが入力されると、これらデータは順次アドレスとして ROM テーブル 33 に供給される。ここで、式 (2) の中括弧で示される係数の総和のうち、2 の 0 乗、2 の 1 乗、……………、2 の 15 乗に対応する総和を式 (4) に示すように、 $S_0, S_1, ……$
40 S_{15} とする。

【0025】

【数 4】

$$S0 = \{k_0 \cdot (X_0^n + X_0^{n-12}) + k_1 \cdot (X_0^{n-1} + X_0^{n-11}) \\ + \dots \dots \dots + k_6 \cdot X_0^{n-6}\}$$

式 (4)

$$S14 = \{k_0 \cdot (X_{14}^n + X_{14}^{n-12}) + k_1 \cdot (X_{14}^{n-1} + X_{14}^{n-11}) \\ + \dots \dots \dots + k_6 \cdot X_{14}^{n-6}\}$$

$$S15 = \{k_0 \cdot (X_{15}^n + X_{15}^{n-12}) + k_1 \cdot (X_{15}^{n-1} + X_{15}^{n-11}) \\ + \dots \dots \dots + k_6 \cdot X_{15}^{n-6}\}$$

【0026】すると、ROMテーブル33からは、まず、S0が出力され、これが加算器340を介してシフトレジスタ341にセットされ、ここでシフトダウンされることによって1/2に除算され、次の総和S1がROMテーブル33から出力されると、加算器340においてS1と除算されたS0が加算される。以下同様に、加算結果がシフトレジスタ341で除算され、これに新たな総和が加算されていく。よって、結果的には式

(2)の総和が演算部34から出力レジスタ35に出力されることとなる。

【0027】但し、最上位の2の15乗はマイナスにしなければならないので、2の補数処理部342によって、出力された総和S15が反転され、これに1が加算され、この結果がマルチプレクサ343を介して出力される。勿論、マルチプレクサ343では、他の場合はROMテーブル33の出力がそのまま選択される。次に、ビットポインタ402とワードポインタ403の具体回路について説明する。

【0028】図3がビットポインタ402とワードポインタ403の具体回路例を示す図であり、ビットポインタ402は、5段のDタイプフリップフロップ501、502、503、504、505、NORゲート506、EX-ORゲート507、508、509、510、ANDゲート511、512、513よりなり、ワードポインタ403は、4段のDタイプフリップフロップ601、602、603、604、エッジ検出回路700、NORゲート605、EX-ORゲート606、607、608、609、610、611、ORゲート612、615、616、617、618、ANDゲート613、614、619、620、621、622、623、624、625、626よりなる。

【0029】ビットポインタ402は、タイミング発生回路405からのカウンタ制御信号1がLのときのみ動

作するカウンタであって、この点を除いては通常のカウンタと同様の動作を行う。即ち、データが入力レジスタ30にセットされたことを示すデータセット信号が、タイミング発生回路405から出力されると、ビットカウンタ402はリセットされ、その後、カウントクロックに応じて、図4エ〜キに示すように単純にカウントアップを繰り返す。そして、カウント内容がj=16になると、カウンタ制御信号1がHレベルとなり、カウンタの動作が停止すると共に、エッジ検出回路700で最終ビットのBP3が1になったことを検出して、ワードポインタ403をi-2=11にセットする。

【0030】ワードポインタ403は、図4に示すように、タイミング発生回路405からのカウンタ制御信号2がLレベルのときのみ動作するものであって、このほか制御信号としてタイミング発生回路405からのリードライト信号R/Wを入力する。この信号R/Wは、メモリに対する制御信号であると共に、カウンタの動作を-2するか+1するかを決定しており、信号R/WがHレベルのとき-2し、Lレベルのとき+1する。従って、図4コ〜スに示すように、初期設定値11から順に+1、-2、+1、-2を繰り返し、ワードアドレスが0になったとき処理を終了する。この操作により、ワードデータのシフト処理が実現される。

【0031】次に、スタティックRAMの具体回路例を図5及び図6に示し、その動作を詳細に説明する。図5は、スタティックRAM回路40の全体構成を示しており、複数のメモリセル80、81、……、82、83が、X及びY方向のマトリクス状に配置されている。メモリセル80は、各々の入力を他方の出力にそれぞれ接続した2個のインバータ801及び802より成り、これらインバータはMOSトランジスタで構成されている。他のメモリセルも同様の構成である。

【0032】メモリセル80の一端Pには、Nチャネル

ルMOSトランジスタ803が接続され、そのソースドレイン路を介してY方向に伸びるビットラインB0xが接続されており、他端Qには、NチャンネルMOSトランジスタ804が接続され、そのソースドレイン路を介してY方向に伸びる反転ビットラインB0xバーが接続されている。このNチャンネルMOSトランジスタ803、804のゲートは、X方向に伸びるアドレスラインAx0に接続されている。そして、Y方向に配置された各メモリセル80、83、……、86は、同一のビットラインB0x、B0xバーに接続され、X方向に配置された各メモリセル80、81、……、82は、同一のアドレスラインAx0に接続されている。他のメモリセルに関しても同様の構成である。

【0033】ここで、アドレスAx0、Ax1、……、Axj-1は、ビットポインタ402の内容をデコーダ92によりデコードしたアドレス信号であり、例えば、アドレスAx0が選択されると、このアドレスラインAx0に接続されたX方向の全てのメモリセル80、81、……、82に記憶されていたデータが、各ビットラインBx0、Bx1、……、Bxi-1を通して、各リードライト回路93、94、……、95によって読み出される。勿論、リードライト回路は、書き込みも行えるので、同一アドレスラインに接続されたX方向の全てのメモリセルに対する書き込みも可能となる。但し、デジタルフィルタを構成するためには、この書き込みは必要ない。

【0034】更に、本実施例のメモリセルにおいては、メモリセル80の一端Pには、もう1つのNチャンネルMOSトランジスタ805が接続され、そのソースドレイン路を介してX方向に伸びるビットラインB0yが接続されており、他端Qには、もう1つのNチャンネルMOSトランジスタ806が接続され、そのソースドレイン路を介してX方向に伸びる反転ビットラインB0yバーが接続されている。このNチャンネルMOSトランジスタ805、806のゲートは、Y方向に伸びるアドレスラインAy0に接続されている。そして、X方向に配置された各メモリセル80、81、……、82は、同一のビットラインB0y、B0yバーに接続され、Y方向に配置された各メモリセル80、83、……、86は、同一のアドレスラインAy0に接続されている。他のメモリセルに関しても同様の構成である。

【0035】アドレスAy0、Ay1、Ay2、……、Ayi-1は、ワードポインタ403の内容をデコーダ96によりデコードしたアドレス信号であり、例えば、アドレスAy0が選択されると、このアドレスラインAy0に接続されたY方向の全てのメモリセル80、83、……、86に記憶されていたデータが、各ビットラインBy0、By1、……、Byi-1を通して、各リードライト回路97、98、……、99によって読み出される。勿論、リードライト回路は、書き込

みも行えるので、同一アドレスラインに接続されたY方向の全てのメモリセルに対する書き込みも可能となる。

【0036】図6に、リードライト回路93、94、……、95、97、98、……、99の具体回路例を示し、リードライト動作について更に詳しく説明する。ビットラインB、Bバーは、フリップフロップ101を構成する各NORゲート102、103の入力端子にそれぞれ接続されると共に、プリチャージ用のPチャンネルMOSトランジスタ104、105を各々介して電源電圧VDDに接続されている。また、フリップフロップ101の出力106は、インバータ107とアウトプットイネーブル信号OEに応じて開閉するクロックドCMOSインバータ108を介して、データバス109に接続されている。

【0037】更に、データバス109からの入力ライン110は、ライト信号WEに応じて開閉するクロックドCMOSインバータ111を介して、ビットラインBバーに接続され、データバス109からの入力ライン112は、インバータ113と、ライト信号WEに応じて開閉するクロックドCMOSインバータ114を介して、ビットラインBに接続されている。

【0038】尚、アウトプットイネーブル信号OEとしては、上述したリードライト信号R/Wが用いられ、ライト信号WEとしてはリードライト信号R/Wの反転信号が用いられる。そこで、まず、プリチャージ信号PRBがLレベルに成ることによって、PチャンネルMOSトランジスタ104、105がオンし、ビットラインB、Bバーは共にHレベルに保持される。今、ビットラインBに接続されているメモリセルが「1」を記憶しているとすると、次に、信号OEがHレベルになると、フリップフロップ101の出力「1」が、2段のインバータ107及び108を介してデータバス109に読み出される。一方、プリチャージ後に、信号WEがHレベルになると、データバス109上のデータ、例えば「1」が、クロックドCMOSインバータ111により反転されてビットラインBバーに加えられるので、このビットラインBバーがLレベルに引き込まれ、且つ、インバータ113、114によりビットラインBがHレベルとなり、従って、データ「1」がビットラインに接続されたメモリセルに書き込まれる。

【0039】このようにして、スタティックRAM回路40では、ビット方向とワード方向の双方からのアクセスが可能となる。

【0040】

【発明の効果】本発明によれば、データ格納部において従来と同様の動作を行いながら、その占有面積を小さくでき、このため、LSI化した場合にチップサイズを小型化することができる。

【図面の簡単な説明】

【図1】本発明の実施例の構成を示すブロック図であ

る。

【図2】本発明におけるスタティックRAM回路の概略構成を示すブロック図である。

【図3】本発明におけるビットポインタ及びワードポインタの具体回路を示す回路図である。

【図4】本発明におけるビットポインタ及びワードポインタの動作を説明するためのタイミングチャートである。

【図5】本発明におけるスタティックRAMの詳細を示す要部回路図である。

【図6】本発明におけるスタティックRAMのリードライト回路の詳細回路図である。

【図7】本発明の従来構成を示すブロック図である。

【図8】一般的なFIRフィルタの構成を示すブロック図である。

【符号の説明】

30 入力レジスタ

31 データ格納部

301、302、303 シフトレジスタ

32 ROMポインタレジスタ

33 ROMテーブル

34 演算部

340 加算器

35 出力レジスタ

40 スタティックRAM

401 メモリ部

10 402 ビットポインタ

403 ワードポインタ

404 バッファレジスタ

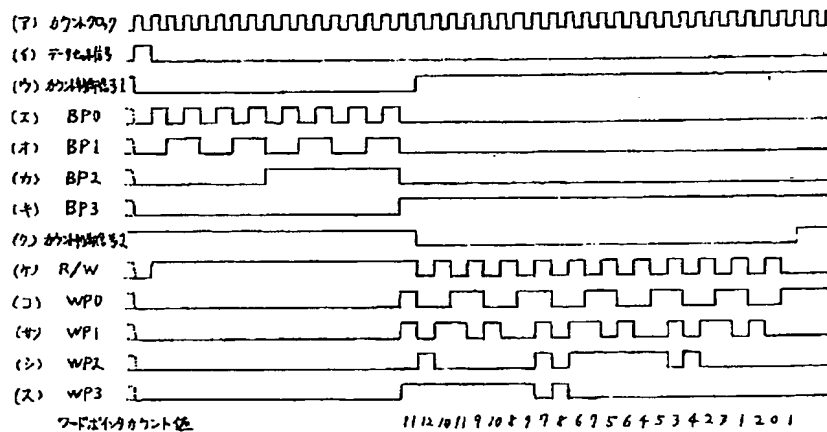
405 タイミング発生回路

80、81、……、88 メモリセル

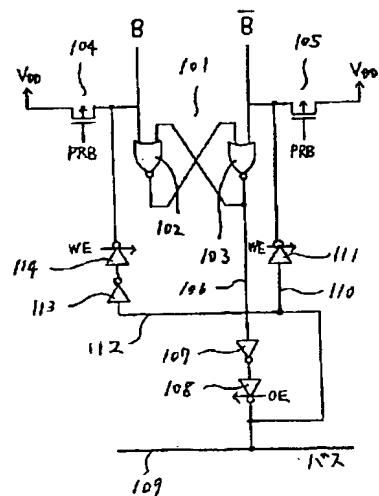
92、96 デコーダ

93、94、95、……、99 リードライト回路

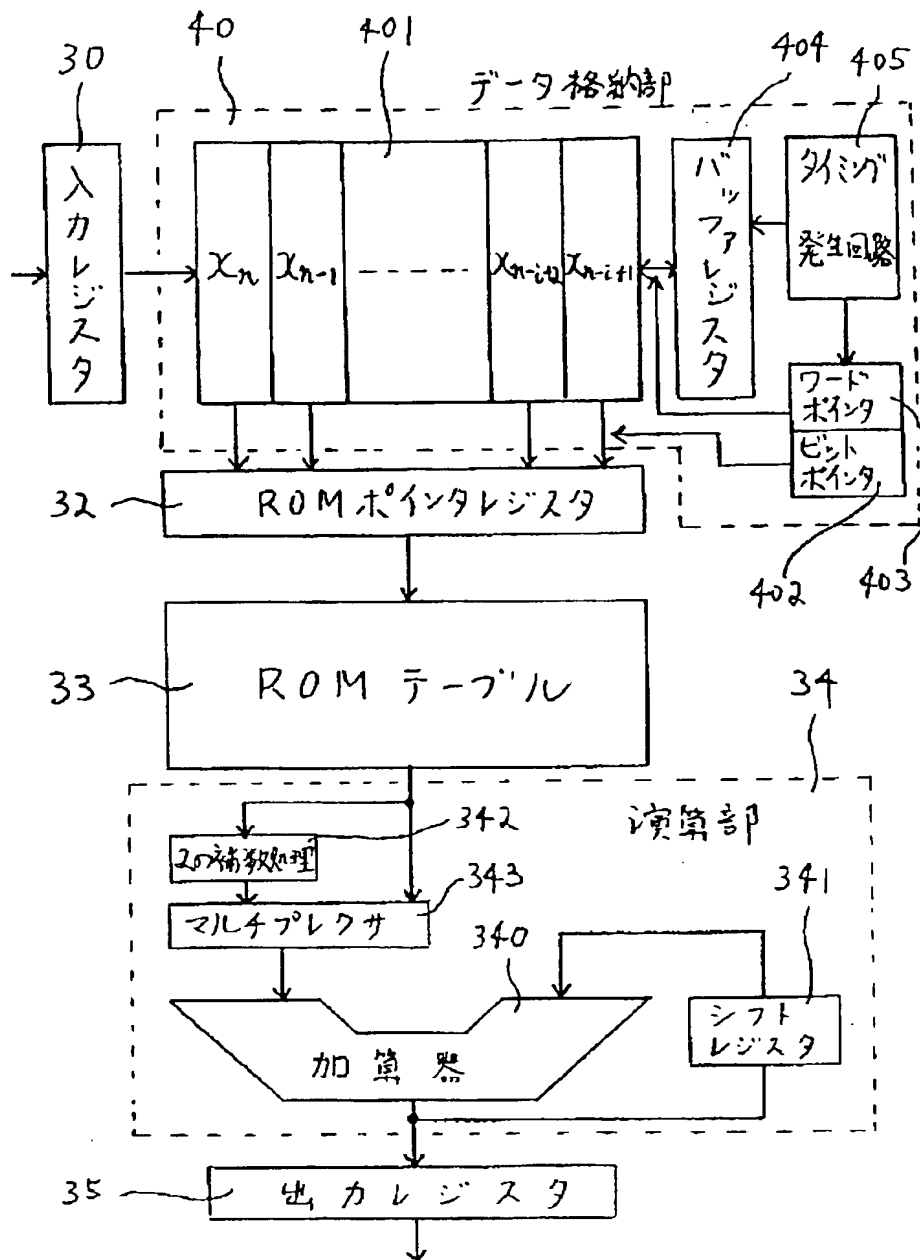
【図4】



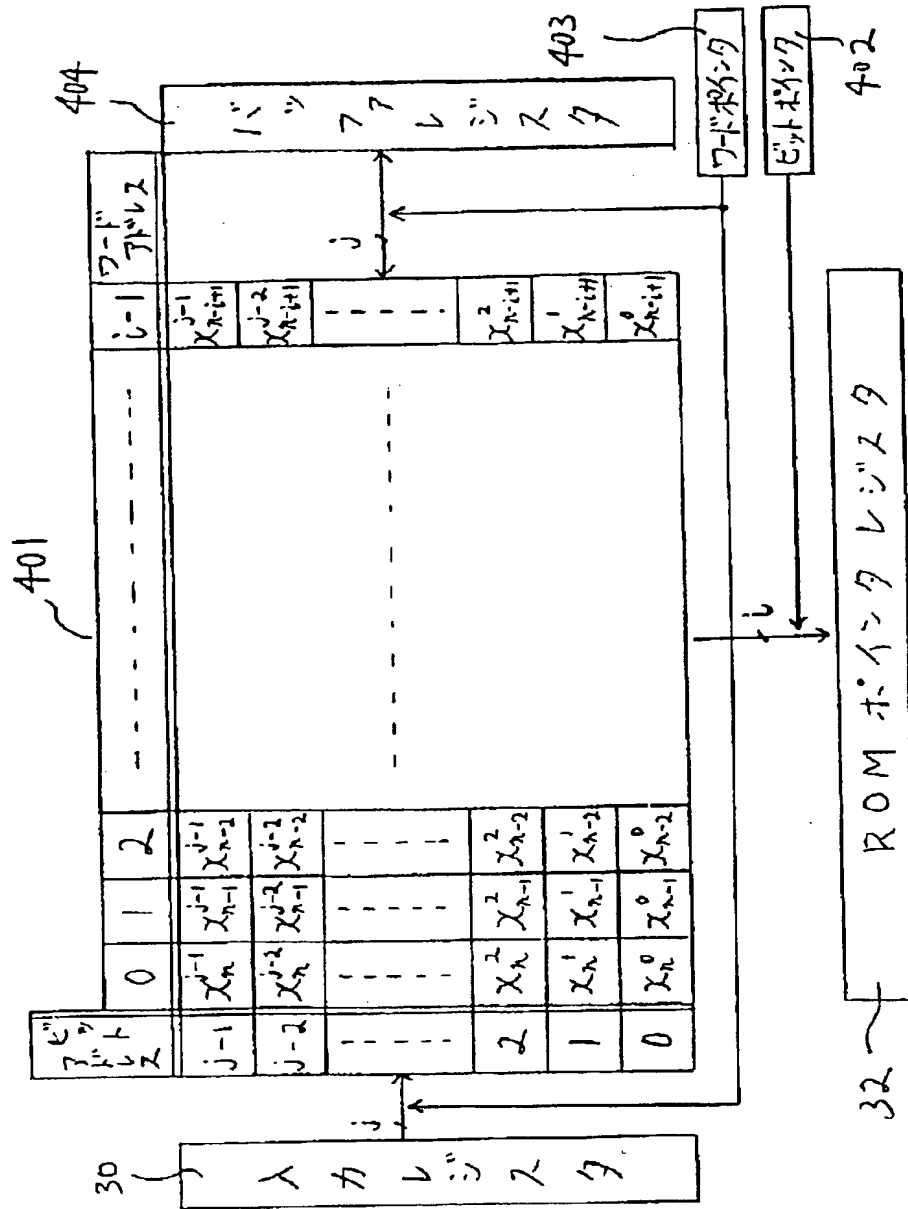
【図6】



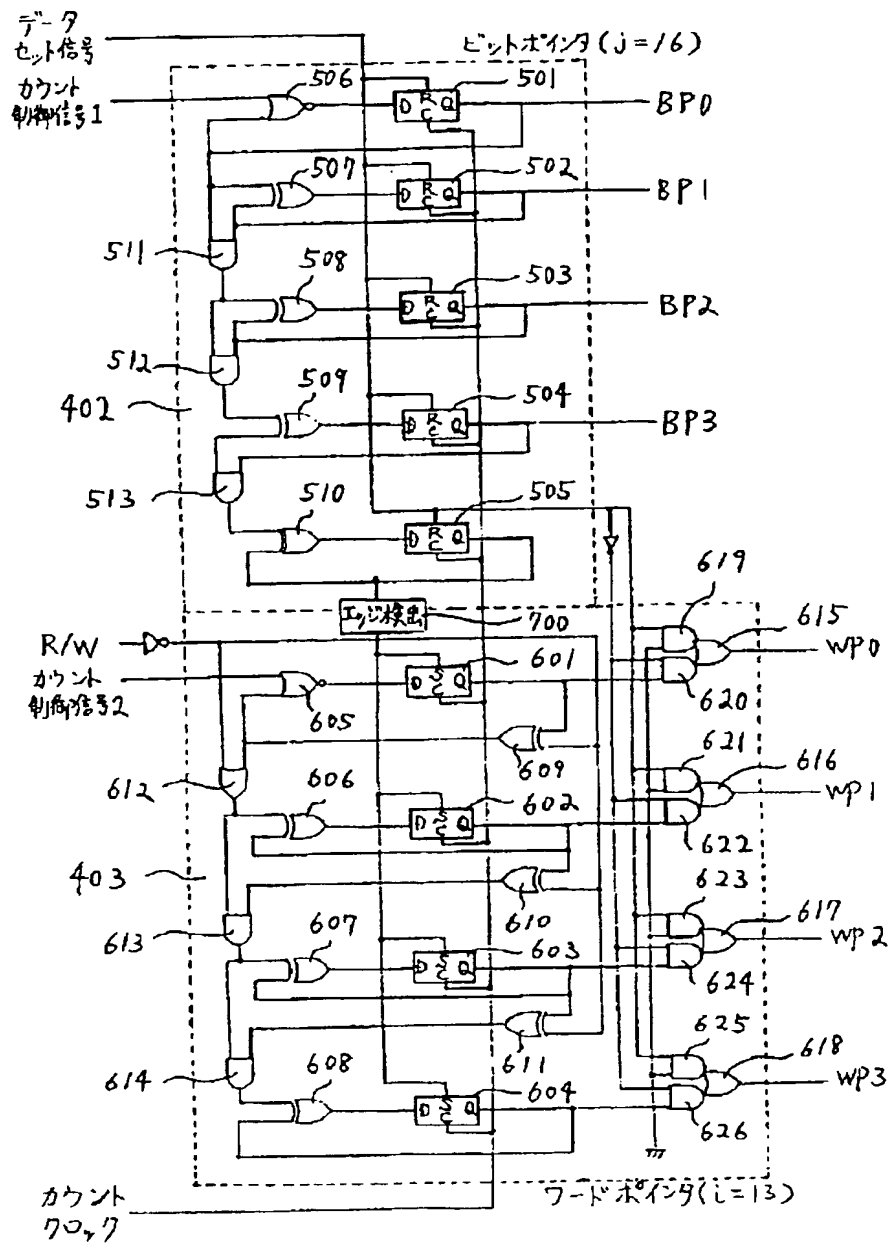
【図1】



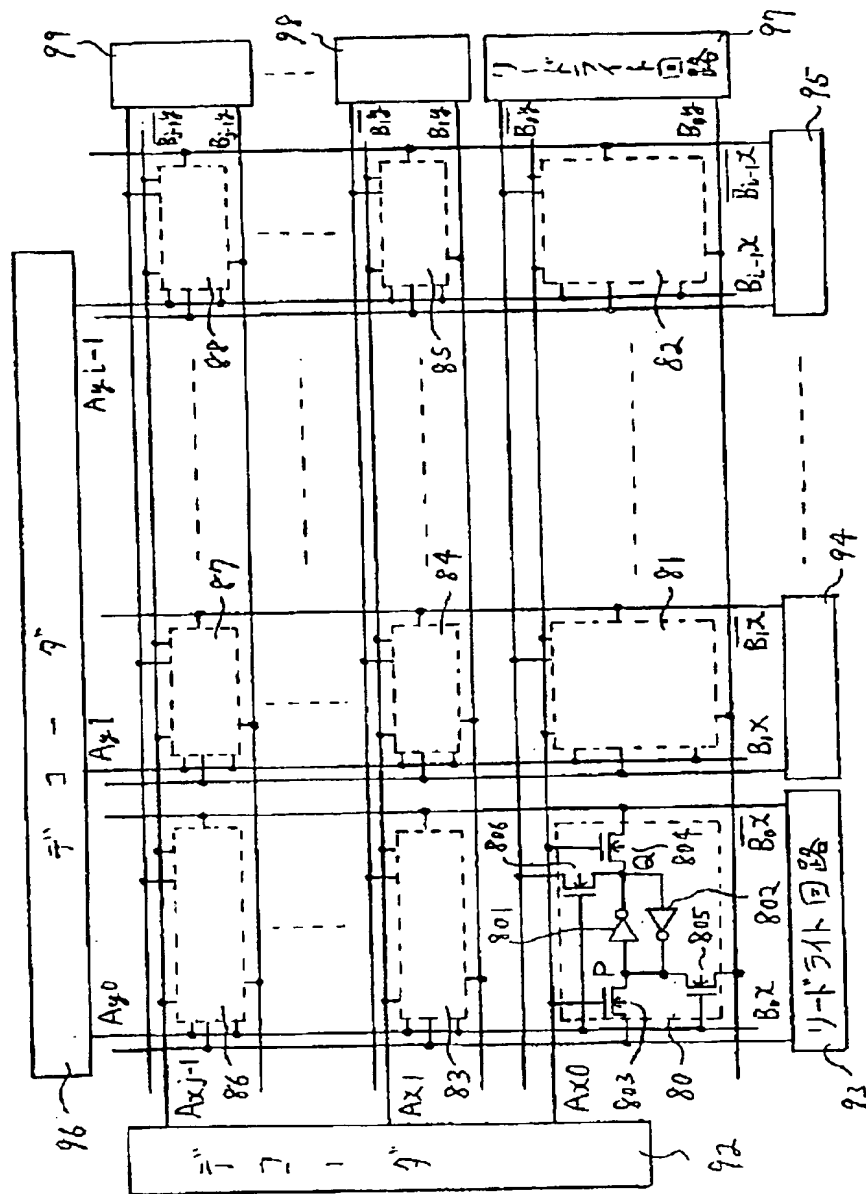
【図2】



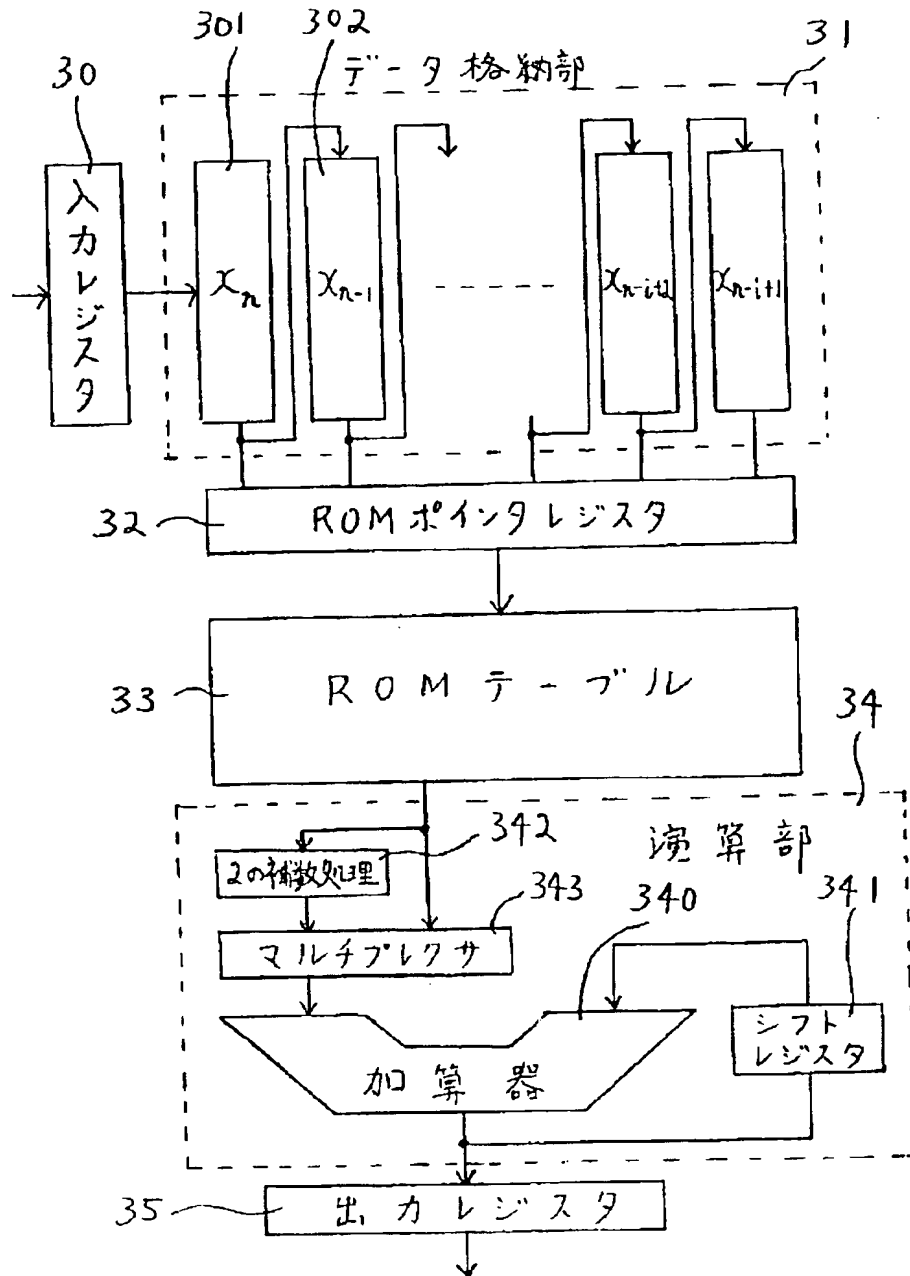
【図3】



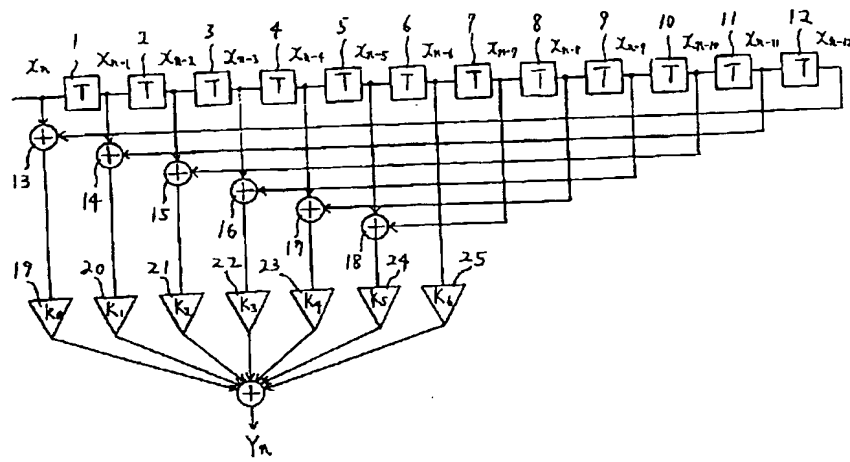
【図 5】



【図 7】



【図 8】



This Page Blank (uspto)